

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-122950

(43)Date of publication of application : 12.05.1995

(51)Int.Cl.

H03G 3/10

H03F 1/30

H03F 3/45

(21)Application number : 06-028705

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 28.02.1994

(72)Inventor : KAIRORA HADEIDEI
KOBAYASHI HARUO

(30)Priority

Priority number : 05 48361

Priority date : 06.09.1993

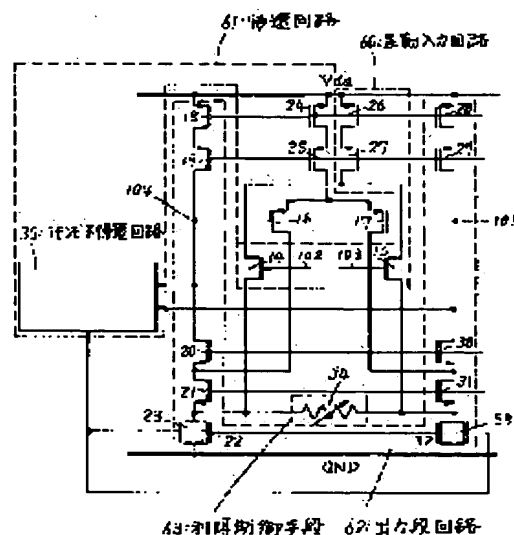
Priority country : JP

(54) VARIABLE GAIN AMPLIFIER

(57)Abstract:

PURPOSE: To obtain a high frequency band by constituting a variable gain amplifier of a differential input circuit, a variable resistor, a feedback circuit and an output stage circuit.

CONSTITUTION: FETs 14, 15, 26 and 27 constitute the differential input circuit 60, the FETs 16, 17, 24 and 25 and a common mode feedback circuit 35 constitute the feedback circuit 61 for feeding back output voltages 104 and 105, the FETs 18-23 and 28-33 constitute the output stage circuit 62 and the variable resistor 34 constitute a gain control means 63 respectively. The variable resistor 34 is realized by the FET and a gain control voltage, a resistance value as the variable resistor 34 becomes small when the voltage value of the gain control voltage is made large and the resistance value becomes large when the voltage value is made small. In the meantime, when the voltage becomes large, a bias current is made flow to the output stage circuit 62 by the function of the FETs 23 and 33 and functions so as to make the common mode of the output voltage small. That is, the common mode feedback circuit 35 functions as a negative feedback circuit.



LEGAL STATUS

[Date of request for examination]

01.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than withdrawal the examiner's decision of rejection or application converted registration]

[Date of final disposal for application] 17.08.2001

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-122950

(43) 公開日 平成7年(1995) 5月12日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 G	3/10	B		
H 0 3 F	1/30	A	9067-5 J	
	3/45	B		

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平6-28705

(22) 出願日 平成6年(1994) 2月28日

(31) 優先権主張番号 実願平5-48361

(32) 優先日 平5(1993) 9月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72) 発明者 カイロラ ハディディ

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

(72) 発明者 小林 春夫

東京都武蔵野市中町2丁目9番32号 横河
電機株式会社内

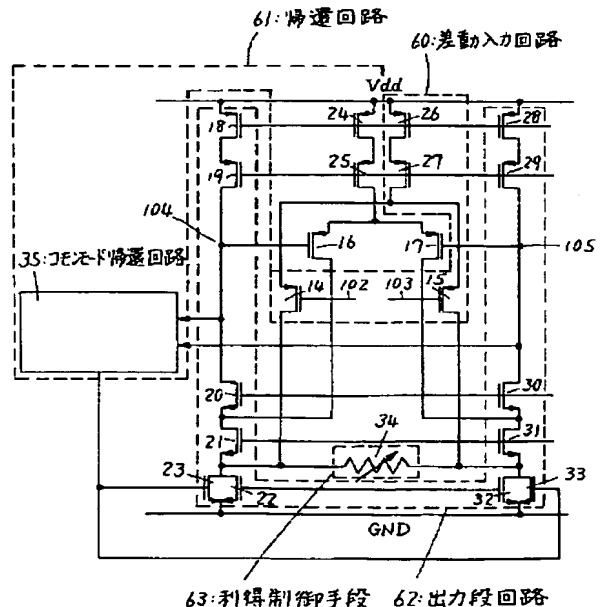
(74) 代理人 弁理士 小沢 信助

(54) 【発明の名称】 可変利得増幅器

(57) 【要約】

【目的】 高い周波数帯域が得られ、周波数帯域が安定で、高入力インピーダンスである可変利得増幅器を実現する。

【構成】 可変利得増幅器において、2つの入力電圧が入力される差動入力回路と、この差動入力回路の2つの出力電流がそれぞれ入力され、抵抗値を変化させることにより利得を変化させる利得制御手段と、この利得制御手段の2つの出力電流に基づき出力電圧を出力する出力段回路と、出力電圧を出力段回路に負帰還させる帰還回路とを設ける。また、利得制御手段に温度補償回路を設ける。



【特許請求の範囲】

【請求項 1】可変利得増幅器において、

2つの入力電圧が入力される差動入力回路と、
この差動入力回路の2つの出力電流がそれぞれ入力され、抵抗値を変化させることにより利得を変化させる利得制御手段と、

この利得制御手段の2つの出力電流に基づき出力電圧を出力する出力段回路と、

前記出力電圧を前記出力段回路に負帰還させる帰還回路とを備えたことを特徴とする可変利得増幅器。

【請求項 2】可変利得増幅器において、

利得制御手段に温度補償回路を備えたことを特徴とする特許請求の範囲第 1 項記載の可変利得増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、A/D変換器等に用いられる可変利得増幅器に関し、特に温度変動の影響が少なく、周波数帯域が安定で、高入力インピーダンスである可変利得増幅器に関する。

【0002】

【従来の技術】可変利得増幅器はA/D変換器、デジタル・オシロスコープ、シグナルコンディショナ等において用いられている。図8はこのような従来の可変利得増幅器の一例を示す回路図であり、ここではスイッチド・キャパシタで構成された可変利得増幅器を示している。図8において1は演算増幅器、2は容量、3、4及び5はそれぞれ容量値の異なるn個の容量の内の1、2及びn番目の容量、6、7、8、9、10、11、12及び13はスイッチ、100は入力電圧、101は出力電圧である。

【0003】入力電圧100はスイッチ6の入力端子に入力され、スイッチ6の一方の出力端子は接地され、他方の出力端子は容量2の一端に接続される。容量2の他端はスイッチ7の入力端子に接続され、スイッチ7の一方の出力端子は接地され、他方の出力端子は演算増幅器1の反転入力端子、スイッチ8、10及び12の一端に接続される。

【0004】スイッチ8、10及び12の他端は容量3、4及び5の一端にそれぞれ接続され、容量3、4及び5の他端はスイッチ9、11及び13の一端にそれぞれ接続される。スイッチ9、11及び13の他端は出力電圧101として出力されると共に演算増幅器1の出力端子に接続される。また、演算増幅器1の非反転入力端子は接地される。

【0005】ここで、図8に示す従来例の動作について説明する。容量2の容量値を" C_{IN} "とし、容量3、4及び5の容量値をそれぞれ" C_{f1} "、" C_{f2} "及び" C_{fn} "とした場合、例えばスイッチ10及び11を" ON "、その他のスイッチを" OFF "とすれば図8に示す従来例の利得は" C_{IN}/C_{f2} "となる。但し、スイッ

チ6及び7は従来例がスイッチド・キャパシタとして動作するために適当な周期等で ON/OFF される。

【0006】一般に前記n個の容量の内の" i "番目の容量を選択すれば利得は" C_{IN}/C_{fi} "となり、前記n個の容量の選択方法によって利得を可変にすることが可能となる。

【0007】

【発明が解決しようとする課題】しかし、図8に示す従来例ではスイッチド・キャパシタで構成されているため、周波数帯域が利得により変動し、高入力インピーダンスの実現が困難である。また、スイッチド・キャパシタは一般に低速動作であるため高い周波数帯域を得るのが困難である。さらに、IC内部で容量を用いることになり、余分な工程が必要になってしまう。従って本発明の目的は、高い周波数帯域が得られ、周波数帯域が安定で、高入力インピーダンスである可変利得増幅器を実現することにある。

【0008】

【課題を解決するための手段】このような目的を達成するために、本発明の第1では、可変利得増幅器において、2つの入力電圧が入力される差動入力回路と、この差動入力回路の2つの出力電流がそれぞれ入力され、抵抗値を変化させることにより利得を変化させる利得制御手段と、この利得制御手段の2つの出力電流に基づき出力電圧を出力する出力段回路と、前記出力電圧を前記出力段回路に負帰還させる帰還回路とを備えたことを特徴とするものである。

【0009】本発明の第2では、可変利得増幅器において、第1の発明の利得制御手段に温度補償回路を備えたことを特徴とするものである。

【0010】

【作用】差動入力回路、可変抵抗、帰還回路及び出力段回路により可変利得増幅器を構成することにより、高い周波数帯域が得られ、周波数帯域が安定で、高入力インピーダンスとなる。また、利得制御手段に温度補償回路を付加することにより、利得が温度変動の影響を受けにくくなる。

【0011】

【実施例】以下本発明を図面を用いて詳細に説明する。図1は本発明に係る可変利得増幅器の第1の実施例を示す構成ブロック図である。図1において14、15、16、17、18、19、20、21、22、23、24、25、26、27、28、29、30、31、32及び33はMOS電界効果トランジスタ(Metal Oxide Semiconductor Field Effect Transistor: 以下、FETと呼ぶ。)、34は可変抵抗、35はコモンモード帰還回路、102及び103は入力電圧、104及び105は出力電圧である。

【0012】ここで、FET14、15、26及び27は差動入力回路60を、FET16、17、24、25

及びコモンモード帰還回路 35 は出力電圧 104 及び 105 を負帰還する帰還回路 61 を、FET 18~23 及び 28~33 は出力段回路 62 を、可変抵抗 34 は利得制御手段 63 をそれぞれ構成している。

【0013】入力電圧 102 及び 103 は FET 14 及び 15 のゲートに入力され、FET 14 及び 15 のソースは FET 27 のドレインに、FET 27 のソースは FET 26 のドレインに接続される。

【0014】また、FET 14 のドレインは FET 21 のソース、FET 22 及び 23 のドレイン、可変抵抗 34 の一端にそれぞれ接続され、FET 15 のドレインは FET 31 のソース、FET 32 及び 33 のドレイン、可変抵抗 34 の他端にそれぞれ接続される。

【0015】FET 21 のドレインは FET 16 のドレイン及び FET 20 のソースに接続され、FET 20 のドレインは出力電圧 104 を出力すると共に、FET 16 のゲート、FET 19 のドレイン及びコモンモード帰還回路 35 の一方の入力端子にそれぞれ接続される。

【0016】一方、FET 31 のドレインは FET 17 のドレイン及び FET 30 のソースに接続され、FET 30 のドレインは出力電圧 105 を出力すると共に、FET 17 のゲート、FET 29 のドレイン及びコモンモード帰還回路 35 の他方の入力端子にそれぞれ接続される。

【0017】コモンモード帰還回路 35 の出力は FET 23 及び 33 のゲートにそれぞれ接続される。

【0018】また、FET 16 及び 17 のソースは FET 25 のドレインに接続され、FET 25 のソースは FET 24 のドレインに接続される。FET 19 及び 29 のソースは FET 18 及び 28 のドレインに接続される。

【0019】さらに、FET 18、24、26 及び 28 のソースは正電圧源“V_{DD}”に、FET 22、23、32 及び 33 はグラウンド“GND”にそれぞれ接続される。また、FET 18、24、26 及び 28 のゲート、FET 19、25、27 及び 29 のゲート、FET 20 及び 30 のゲート、FET 21 及び 31 のゲートにはそれぞれバイアス電圧が印加される。

【0020】また、図 2 は図 1 に示す第 1 の実施例にお

$$A = V_{OUT} / V_{IN} = g_{mi} / g_{mf}$$

となる。

【0027】この利得“ g_{mi} / g_{mf} ”は FET 14~17 のチャネルサイズの比によって決まるので、この結果、利得は温度及びプロセス変動の影響を受けにくい。

【0028】一方、図 4 において 14~35、102~105 は図 1 と同一符号を付してあり、43 及び 44 は負荷容量である。また、接続関係についても図 1 と同様であり、異なる点は出力電圧 104 及び 105 に対して

$$I_1 - I_2 = 2 g_{mi} \cdot (V_1 - V_2)$$

となる。

ける可変抵抗 34 及びコモンモード帰還回路 35 の具体例を示した詳細回路図である。ここで、14~33、102~105 は図 1 と同一符号であり、36、37、38、39 は FET、106 は利得制御電圧である。

【0021】図 1 における可変抵抗 34 は FET 36 及び利得制御電圧 106 により実現され、利得制御電圧 106 の電圧値を大きくすれば、可変抵抗 34 としての抵抗値が小さくなり、前記電圧値を小さくすれば前記抵抗値が大きくなる。

【0022】一方、コモンモード帰還回路 35 は図 2 中太線で示される部分により構成され、電圧“V_{CM}”は出力電圧 104 と 105 の和に比例、即ち、出力電圧のコモンモードに比例することになる。

【0023】この結果、電圧“V_{CM}”が大きくなると FET 23 及び 33 の作用により出力段回路 62 にバイアス電流が流れて前記出力電圧のコモンモードが小さくなるように動作する。また、電圧“V_{CM}”が小さくなると前記出力電圧のコモンモードが大きくなるように動作する。即ち、コモンモード帰還回路 35 は負帰還回路として動作することになる。

【0024】ここで、図 1 に示す第 1 の実施例の動作を図 3 及び図 4 を用いて説明する。図 3 は可変抵抗 34 の抵抗値が無大である場合の等価回路、図 5 は可変抵抗 34 の抵抗値が有限である場合の動作を示すブロック図である。

【0025】図 3 において 102~105 は図 1 と同一符号を付してあり、40 及び 41 は差動入力回路、42 は出力段回路である。可変抵抗 34 の抵抗値が無大である場合、即ち、可変抵抗 34 が無い場合、図 1 の回路は入力電圧 102 及び 103 が差動入力回路 40 に入力され、差動入力回路 40 及び 41 の出力電流が出力段回路 42 にそれぞれ接続され、出力段回路 42 の出力電圧が差動入力回路 41 の入力端子に帰還されることになる。

【0026】図 3 に示す回路の利得“A”は「実願平 5-856」に記載されているように入力電圧 102 と 103 の差電圧を“V_{IN}”、出力電圧 104 と 105 の差電圧を“V_{OUT}”、差動入力回路 40 及び 41 のトランス・コンダクタンスを“ g_{mi} ”及び“ g_{mf} ”とすれば、

(1)

負荷容量 43 及び 44 が接続された点である。

【0029】ここで、入力電圧 102 及び 103 の電圧値を“V₁”及び“V₂”、FET 14 及び 15 のトランス・コンダクタンスを“ g_{mi} ”、FET 16 及び 17 のトランス・コンダクタンスを“ g_{mf} ”、FET 14、15 及び可変抵抗 34 に流れる電流をそれぞれ“ I_1 ”、“ I_2 ”及び“ I_3 ”とすると、入力電圧 102 が 103 よりも大きい場合、

(2)

【0030】また、出力段回路 62 の図 4 中“イ”に流

れ込む電流と図 4 中“ロ”に流れ込む電流との電流差” ΔI ”は、

$$\begin{aligned}\Delta I &= I_1 - I_3 - (I_2 + I_3) \\ &= I_1 - I_2 - 2 \cdot I_3\end{aligned}\quad (3)$$

となる。

【0031】もし、可変抵抗 34 の値が無限大であれば

$$\Delta I = I_1 - I_2 \quad (4)$$

である。即ち、可変抵抗 34 によりトランス・コンダクタンス” g_{mi} ” が” $2 \cdot I_3$ ” だけ等価的に小さくなっ

$$A = V_{OUT} / V_{IN} = (g_{mi})_{eff} / g_{mf} \quad (5)$$

となる。

【0032】この結果、差動入力回路 60、可変抵抗 34、帰還回路 61 及び出力段回路 62 により可変利得増幅器を構成し、可変抵抗 34 の抵抗値を変化させることにより利得を制御することが可能となる。

【0033】ここで、電流” I_3 ” は FET 14 及び 15 からの電流” I_1 ”、電流” I_2 ”、可変抵抗 34 の抵抗値、図 4 中”イ”及び”ロ”から出力段回路 62 を見たインピーダンスによって決まるが、出力段回路 62 は MOSFET で構成されているため前記インピーダンスは温度及びプロセス変動の影響を受け難い。即ち、利得は温度及びプロセス変動の影響を受け難くなる。

【0034】また、入力電圧 102 及び 103 を MOSFET により受けているため高入力インピーダンスとなり、スイッチド・キャパシタを用いないため高い周波数帯域が得られ、余分な工程も不要となる。

【0035】さらに、伝達関数の最も低周波の極は出力段回路 62 の出力抵抗と、負荷容量 43 及び 44 によって決まるので、可変抵抗の抵抗値を変化させても利得は変化するが前記極は変化しない。即ち、利得を変化させても周波数帯域は変化しないことになる。

【0036】なお、図 1 に示す第 1 の実施例では MOSFET により回路を構成しているがバイポーラトランジスタ等を用いても良い。

【0037】また、図 5 は本発明に係る可変利得増幅器の第 2 の実施例を示す構成ブロック図である。図 5 において 14、15、18~23、28~33、36、102~106 は図 2 と同一符号を付してあり、16a、17a、45、46、47 及び 48 は FET である。

【0038】入力電圧 102 及び 103 は FET 14 及び 15 のゲートに入力され、FET 14 及び 15 のソースは FET 46 のドレインに、FET 46 のソースは FET 45 のドレインに接続される。

【0039】また、FET 14 のドレインは FET 20 のソース、FET 22、23 及び 36 のドレインにそれぞれ接続され、FET 15 のドレインは FET 30 及び 36 のソース、FET 32 及び 33 のドレインにそれぞれ接続される。FET 36 のゲートには利得制御電圧 106 が入力される。

【0040】FET 20 のドレインは出力電圧 104 を出力すると共に、FET 16a のゲート及び FET 19

前記電流差は、

たことになる。この等価的に小さくなったトランス・コンダクタンスを” $(g_{mi})_{eff}$ ” とすると式 (1) は、

のドレインにそれぞれ接続される。

【0041】一方、FET 30 のドレインは出力電圧 105 を出力すると共に、FET 17a のゲート及び FET 29 のドレインにそれぞれ接続される。

【0042】また、FET 16a 及び 17a のソースは FET 47 のドレイン、FET 23 と FET 33 のゲートにそれぞれ接続され、FET 47 のソースは FET 48 のドレインに接続される。FET 19 のソースは FET 16a 及び 18 のドレインに接続され、FET 29 のソースは FET 17a 及び 28 のドレインに接続される。

【0043】さらに、FET 18、28 及び 45 のソースは正電圧源” V_{DD} ” に、FET 22、23、32、33 及び 48 はグラウンド” GND ” にそれぞれ接続される。また、FET 18、28 及び 45 のゲート、FET 19、29 及び 46 のゲート、FET 20、30 及び 47 のゲート、FET 22、32 及び 48 のゲートにはそれぞれバイアス電圧が印加される。

【0044】図 5 に示す第 2 の実施例の基本的な動作は図 1 に示す第 1 の実施例と同様であるので説明は省略する。図 5 において FET 16a 及び 17a から成る差動入力回路は N 型の FET で構成されており、この差動入力回路は図 1 におけるコモンモード帰還回路 35 の機能を兼ねている。また、構成も図 1 に示す第 1 の実施例と比較して簡単になっている。

【0045】また、図 6 は本発明に係る可変利得増幅器の第 3 の実施例を示す構成ブロック図である。図 5 において 14、15、18~23、28~33、36、45、46、102~106 は図 5 と同一符号を付してあり、49 及び 50 は抵抗、51 は容量である。

【0046】入力電圧 102 及び 103 は FET 14 及び 15 のゲートに入力され、FET 14 及び 15 のソースは FET 46 のドレインに、FET 46 のソースは FET 45 のドレインに接続される。

【0047】また、FET 14 のドレインは FET 20 のソース、FET 22、23 及び 36 のドレインにそれぞれ接続され、FET 15 のドレインは FET 30 及び 36 のソース、FET 32 及び 33 のドレインにそれぞれ接続される。FET 36 のゲートには利得制御電圧 106 が入力される。

【0048】FET 20 のドレインは出力電圧 104 を

出力すると共に、FET 19 のドレイン及び抵抗 49 の一端にそれぞれ接続される。

【0049】一方、FET 30 のドレインは出力電圧 105 を出力すると共に、FET 29 のドレイン及び抵抗 50 の一端にそれぞれ接続される。

【0050】また、抵抗 49 の他端は抵抗 50 の他端、容量 51 の一端、FET 23 及び 33 のゲートにそれぞれ接続され、容量 51 の他端は接地され、FET 19 及び 29 のソースは FET 18 及び 28 のドレインに接続される。

【0051】さらに、FET 18、28 及び 45 のソースは正電圧源 "V_{DD}" に、FET 22、23、32 及び 33 はグラウンド "GND" にそれぞれ接続される。ま

$$A' = V_{OUT} / V_{IN} = (g_{mi})_{eff} \cdot R_f \quad (6)$$

となる。

【0054】また、図 2、図 5 及び図 6 のように利得制御手段 34 として FET 36 を用いた場合、利得制御電圧 106 が一定であれば温度及びプロセスの影響を受けにくい。しかし、温度が上昇すると差動入力回路 60 のトランス・コンダクタンス "(g_{mi})_{eff}" 及び帰還回路 61 のトランス・コンダクタンス "g_{mf}" もその値が小さくなる方向に変化するので、実際には多少の影響を受けることになる。

【0055】これは、FET 36 が抵抗性領域で動作しているのに対して、他の FET が飽和領域で動作しているため、トランス・コンダクタンス "(g_{mi})_{eff}" 及び "g_{mf}" の変化の度合いが異なってしまうためである。

【0056】図 7 はこのような問題を解決するため利得制御電圧 106 の温度補償する温度補償回路の具体例を示す回路図である。ここで、36 及び 106 は図 2、図

$$r_{ds54} = 1 / g_{ds54}$$

となる。

【0060】可変電流源 52 の出力電流の値を

$$V_{ctr} = I_{var} (R + r_{ds54})$$

となる。

【0061】また、FET 54 は抵抗性領域で動作していることから、絶対温度を "T"、電子の移動度を "μ

$$V_{ctr}(T) = I_{var} (R + r_{ds54}(T)) \quad (9)$$

$$V_{ctr}(T + \Delta T)$$

$$= I_{var} (R + r_{ds54}(T + \Delta T))$$

$$= I_{var} (R + r_{ds54}(T) + \Delta r_{ds54})$$

$$= I_{var} (R + r_{ds54}(T))$$

$$\times \{1 + \Delta r_{ds54} / (R + r_{ds54}(T))\}$$

$$= V_{ctr}(T) \cdot \{1 + \Delta r_{ds54} / (R + r_{ds54}(T))\} \quad (10)$$

となる。

【0063】また、

$$\Delta r_{ds54} = r_{ds54}(T + \Delta T) - r_{ds54}(T)$$

$$= r_{ds54}(T) \cdot \mu_n(T)$$

$$\times \{1 / \mu_n(T + \Delta T) - 1 / \mu_n(T)\}$$

た、FET 18、28 及び 45 のゲート、FET 19、29 及び 46 のゲート、FET 20 及び 30 のゲート、FET 22 及び 32 のゲートにはそれぞれバイアス電圧が印加される。

【0052】図 6 に示す第 3 の実施例の基本的な動作も図 1 に示す第 1 の実施例と同様であるので説明は省略する。図 6 において抵抗 49 及び 50 が図 1 の帰還回路 61 の代わりに帰還回路を構成しており、また、図 1 におけるコモンモード帰還回路 35 の機能を兼ねている。さらに、構成も図 1 に示す第 1 の実施例と比較して簡単になっている。

【0053】ここで、図 6 に示す第 3 の実施例の利得 "A'" は抵抗 49 及び 50 の抵抗値を "R_f" とすると

5 及び図 6 と同一符号を付してある。

【0057】図 7 において 52 は可変電流源、53 は抵抗、54 は FET である。可変電流源の一端は利得制御手段 34 である FET 36 のゲート及び抵抗 53 の一端に接続され、抵抗 53 の他端は FET 54 のドレインに接続される。

【0058】また、可変電流源 52 の他端及び FET 54 のゲートは正電圧源 "V_{DD}" に、FET 54 のソースはグラウンド "GND" にそれぞれ接続される。但し、FET 36 のソース及びドレインに対する接続に関しては記載を省略する。

【0059】ここで、図 7 に示す温度補償回路の動作を説明する。FET 54 は抵抗性領域で動作しているのので、FET 54 のソース・ドレイン間抵抗を "r_{ds54}"、FET 54 のトランス・コンダクタンスを "g_{ds54}" とすると、

$$(7)$$

I_{var}"、抵抗 53 の抵抗値を "R" とすると、利得制御電圧 106 "V_{ctr}" は、

$$(8)$$

n(T)" とすれば、FET 54 のソース・ドレイン間抵抗は電子の移動度の逆数に比例することになる。

【0062】絶対温度を "T" とすると、

$$(9)$$

$$= r_{ds54}(T) \cdot \mu_n(T)$$

$$\times \{1 / [\mu_n(T) + \Delta \mu_n] - 1 / \mu_n(T)\}$$

$$\approx r_{ds54}(T) \cdot \{-\Delta \mu_n / \mu_n(T)\} \quad (11)$$

となり、式 (10) は、

$$V_{ctr}(T + \Delta T)$$

$$= V_{ctr}(T) \cdot \{1 + r_{ds54}(T) / (R - r_{ds54}(T))$$

$$\times (\Delta \mu_n / \mu_n(T))\} \quad (12)$$

となる。

【0064】ここで、抵抗 53 の抵抗値を FET 54 のソース・ドレイン間抵抗にほぼ等しくなるように選択すると、式 (12) は、

$$\begin{aligned} V_{ctr}(T+\Delta T) &= V_{ctr}(T) \cdot \{1 + 1/2 \cdot (\Delta \mu_n / \mu_n(T))\} \\ &\propto (\mu_n(T))^{-1/2} \end{aligned} \quad (13)$$

となる。

【0065】また、FET36は抵抗性領域で動作しているのでトランス・コンダクタンス” g_{ds36} ”は、 $g_{ds36}(T) \propto \mu_n(T) \cdot (\mu_n(T))^{-1/2}$

$$\begin{aligned} &\{(g_{mi})_{eff} / g_{mf}\}(T) \\ &= g_{mb}(T) / \{g_{mb}(T) + g_{ds36}(T)\} \\ &\quad \times g_{mi}(T) / g_{mf}(T) \\ &\propto (\mu_n)^{1/2} / \{a(\mu_n)^{1/2} + b(\mu_n)^{1/2}\} \cdot (\mu_p)^{1/2} / (\mu_p)^{1/2} \\ &= \text{const.} \end{aligned} \quad (15)$$

となる。

【0067】この結果、式(15)から分かるように、利得制御手段63に利得制御電圧106の温度補償をする温度補償回路を付加することにより、利得が温度変化に対する影響を受けなくなる。

【0068】

【発明の効果】以上説明したことから明らかなように、本発明によれば次のような効果がある。特許請求の範囲第1項記載の発明によれば、差動入力回路、可変抵抗、帰還回路及び出力段回路により可変利得増幅器を構成することにより、高い周波数帯域が得られ、周波数帯域が安定で、高入力インピーダンスである可変利得増幅器が実現できる。

【0069】また、特許請求の範囲第2項記載の発明によれば、利得制御手段に温度補償回路を付加することにより、利得が温度変化に対する影響を受けなくなる。

【図面の簡単な説明】

【図1】本発明に係る可変利得増幅器の第1の実施例を示す構成ブロック図である。

【図2】第1の実施例における可変抵抗34及びコモンモード帰還回路35の具体例を示した詳細回路図である。

【図3】可変抵抗34の抵抗値が無限大である場合の等価回路である。

【図4】可変抵抗34の抵抗値が有限である場合の動作を示すブロック図である。

【図5】本発明に係る可変利得増幅器の第2の実施例を

$$= (\mu_n(T))^{1/2} \quad (14)$$

飽和領域で動作している他のFETのトランス・コンダクタンス” $g_{mb}(T)$ ”、トランス・コンダクタンス” $g_{mi}(T)$ ”及び” $g_{mf}(T)$ ”は” $(\mu_n(T))^{1/2}$ ”に比例する。

【0066】従って、利得の温度変化に対する影響は、ホールの移動度を” μ_p ”とすると、

示す構成ブロック図である。

【図6】本発明に係る可変利得増幅器の第3の実施例を示す構成ブロック図である。

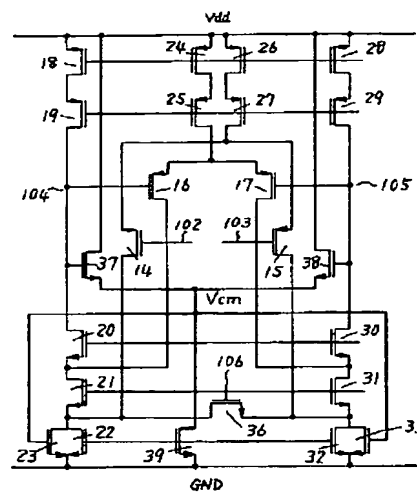
【図7】利得制御電圧の温度補償する温度補償回路の具体例を示す回路図である。

【図8】従来の可変利得増幅器の一例を示す回路図である。

【符号の説明】

- 1 演算増幅器
- 2, 3, 4, 5, 51 容量
- 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 16a, 17, 17a, 18, 19, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 30, 31, 32, 33, 36, 37, 38, 39, 45, 46, 47, 48, 54 FET
- 34 可変抵抗
- 35 コモンモード帰還回路
- 40, 41, 60 差動入力回路
- 42, 62 出力段回路
- 43, 44 負荷容量
- 49, 50, 53 抵抗
- 52 可変電流源
- 61 帰還回路
- 63 利得制御手段
- 100, 102, 103 入力電圧
- 101, 104, 105 出力電圧
- 106 利得制御電圧

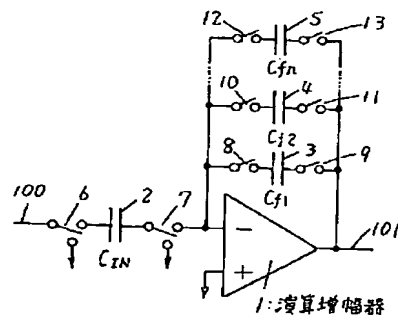
【图 2】



【図 4】

The diagram shows a 1-bit DAC circuit. It features a current mirror composed of PMOS transistors 16 and 17, and NMOS transistors 14 and 15. The PMOS gates are connected to V_{DD} (24, 26, 28) and the NMOS gates are connected to GND (23, 22, 32). The NMOS source nodes are connected to a resistor network (34) which is tied to GND. The output current I₁ flows through transistor 16, and I₂ flows through transistor 17. The resistor network (34) is connected to the gates of NMOS transistors 14 and 15. The output current I₁ + I₃ flows through transistor 14, and I₂ + I₃ flows through transistor 15. The output current I₁ + I₂ + I₃ is connected to a load resistor (35) which is tied to V_{DD}. The output voltage is taken from the node between the load resistor (35) and the resistor network (34). The output current I₁ + I₂ + I₃ is also connected to a node (33) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (32) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (31) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (30) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (29) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (28) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (27) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (26) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (25) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (24) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (23) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (22) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (21) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (20) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (19) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (18) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (17) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (16) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (15) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (14) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (13) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (12) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (11) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (10) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (9) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (8) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (7) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (6) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (5) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (4) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (3) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (2) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (1) which is tied to GND. The output current I₁ + I₂ + I₃ is also connected to a node (0) which is tied to GND.

【圖 8】



【图 6】

